

文章编号: 2095-2163(2023)04-0167-07

中图分类号: TN432

文献标志码: A

基于单差分对输入级的新型轨到轨运算放大器设计

黄志鹏¹, 马奎^{1,2}, 张晶¹

(1 贵州大学 大数据与信息工程学院, 贵阳 550025; 2 贵州大学 贵州省微纳电子与软件技术重点实验室, 贵阳 550025)

摘要: 本文基于 CMOS 工艺设计了一种新型的轨到轨集成运算放大器。对比分析传统轨到轨输入级设计的优劣, 该运放选择采用单差分对输入级结构, 使用耗尽型 NMOS 管作为输入对管, 利用耗尽型 NMOS 管的体效应以及对输入级电路结构的优化, 实现轨到轨输入, 以 AB 类输出级结构实现轨到轨输出。经过 Cadence 仿真验证, 工作在 5 V 单电源供电下, 共模输入电压范围可以实现满轨 0~5 V, 增益高达 141.1 dB, 带宽 1.7 MHz, 相位裕度 55.4°, 具有较低的输入失调电压 264 μV 、输入偏置电流 9 pA。整体电路实现了近乎满轨的轨到轨的输出电压摆幅, 达到轨到轨运算放大器的设计要求。

关键词: 运算放大器; 轨到轨; CMOS; 单差分对输入级

Design of a new rail-to-rail operational amplifier based on single difference pair input stage

HUANG Zhipeng¹, MA Kui^{1,2}, ZHANG Jing¹

(1 College of Big Data and Information Engineering, Guizhou University, Guiyang 550025, China;

2 Guizhou Provincial Key Laboratory for Micro-Nano-Electronics and Software, Guizhou University, Guiyang 550025, China)

[Abstract] In this paper, a new rail-to-rail integrated operational amplifier is designed based on CMOS technology. The advantages and disadvantages of traditional rail-to-rail input stage design are compared and analyzed. The operational amplifier adopts single-difference pair input stage structure, uses exhausted NMOS tube as input pair tube, uses the volume effect of exhausted NMOS tube and optimizes the circuit structure of input stage to realize rail-to-rail input, thereafter uses AB class output stage structure to realize rail-to-rail output. Through Cadence simulation verification, working under 5 V single power supply, the common mode input voltage range can achieve full rail 0~5 V, gain up to 141.1dB, bandwidth 1.7 MHz, phase margin 55.4°, low input offset voltage 264 μV , input bias current 9 pA. The whole circuit realizes the output voltage swing of nearly full rail and meets the design requirements of rail to rail operational amplifier.

[Key words] operational amplifier; rail-to-rail; CMOS; single difference pair input stage

0 引言

随着集成电路产业的不断发展, 以及日益增长的芯片性能需求, 运算放大器作为集成电路芯片模块的一部分, 研发出一款性能优良的运算放大器则尤为必要。在芯片设计性能正朝着低功耗目标迈进的背景下, 电源电压不断降低, 信号传输的幅度也随之降低, 因此信号受到的噪声影响也相对更加明显, 而如能提高信号的输入输出幅度, 不仅能充分利用功耗, 还能降低噪声影响^[1]。因此轨到轨运算放大器设计理念被提出, 轨到轨运算放大器能够实现最大的输入输出摆幅, 其共模输入范围往往能够从负

电源到正电源, 输出信号也可以近似正负电源摆幅。轨到轨的输出实现比较容易, 难点往往在于如何实现轨到轨的输入。

传统的 CMOS 轨到轨运算放大器输入端往往采用 2 对 MOS 管, PMOS 和 NMOS 进行并联并构成互补差分对结构, 这种结构通过 NMOS 与 PMOS 的交替工作, 虽然能够达到负电源至正电源的共模输入范围、实现轨到轨输入^[2], 但是由于其交替工作时, 输入级的等效跨导是 NMOS 与 PMOS 的叠加, 导致其往往不能很好地实现跨导恒定^[3]。跨导在不同工作电压区域内的不恒定将会提升电路频率补偿的难度, 同时单位增益带宽也会随电压的不同而发生

作者简介: 黄志鹏 (1998-), 男, 硕士研究生, 主要研究方向: 运算放大器、功率集成电路等模拟集成电路设计; 马奎 (1985-), 男, 博士, 教授, 主要研究方向: 半导体集成技术、三维集成技术、功率器件和功率集成电路。

通讯作者: 马奎 Email: kma@gzu.edu.cn

收稿日期: 2022-05-05

变化。因此传统的改进方法往往要增加一个恒跨导电路设计^[4]。这无疑增加了设计难度和电路的复杂度。如果采用单对互补 MOS 管形成的差分对结构,能够很大程度避免跨导不稳定的问题,但是为了达到轨到轨输入,往往引入电荷泵,电荷泵也会增加设计复杂性以及工艺集成的难度^[5]。

本文设计了一种单差分对输入的新型轨到轨集成运算放大器,输入级采用一对特殊工艺下的耗尽型 NMOS,以此实现轨到轨输入,能够兼顾轨到轨输入与跨导匹配性,减少失调。同时简化了电路,提高电路设计过程中的容错率。另外,采用 AB 类结构作为输出级,并设计了对应的偏置电路。该运放能够适用于 5 V 的工作电压,具有较高的共模抑制比、较大的轨到轨输入范围,能够实现 0~5 V 满轨的共模输入电压范围,以及近乎满轨的输出电压范围。

1 新型轨到轨输入级电路设计

1.1 电路设计分析

目前主流的轨到轨输入级设计,大部分是采用双差分对管做输入管、例如,在图 1(a)中,分别由一对 NMOS 管、即 M_1 、 M_4 , 一对 PMOS 管、即 M_2 、 M_3 , 按照 N 、 P 管并联,上下两电流源 I_2 与 I_1 , 分别为 PMOS 对管和 NMOS 对管提供偏置电流。NMOS 管的阈值电压一般为正值,PMOS 管的阈值电压一般为负值,而 N 、 P 管的并联互补差分连接,使得无论共模输入电压是正或负,都能实现信号的输出,因此共模输入电压能够实现负电源至正电源的输入范围,即轨到轨的输入。

双差分对轨到轨输入级,最大的困难便是工作时保持跨导恒定。当共模输入电压从负电源开始上升至正电源电压过程中,该电路有 3 个工作区间:

(1) 输入级的 P 管导通、 N 管关闭,输入级跨导为:

$$G_{m1} = G_{mp} = \sqrt{\mu_p C_{ox} \frac{W_1}{L_1} I_2} \quad (1)$$

(2) 输入级的 P 管导通、 N 管导通,输入级跨导为:

$$G_{m2} = G_{mp} + G_{mn} = \sqrt{\mu_p C_{ox} \frac{W_1}{L_1} I_2} + \sqrt{\mu_n C_{ox} \frac{W_2}{L_2} I_1} \quad (2)$$

(3) 输入级的 N 管导通、 P 管关闭,输入级跨导为:

$$G_{m3} = G_{mn} = \sqrt{\mu_n C_{ox} \frac{W_2}{L_2} I_1} \quad (3)$$

其中, G_{mp} 、 G_{mn} 分别表示输入管 PMOS、NMOS 的跨导。

由以上推导公式可知,其输入级的跨导是随输入共模电压而变化的。而调节 N 、 P 管的宽长比以及上下尾电流源电流大小,能够保持 $G_{m1} = G_{m3}$,即单对 N 管、或单对 P 管工作时,跨导恒定,但是当 N 管、 P 管同时工作时,跨导则变为原来单管工作时的 2 倍。所以双差分对管的输入级结构难以做到输入的跨导恒定。不恒定的跨导,导致电路频率补偿变得复杂,有部分设计通过改进频率补偿,来解决这个问题^[6]。其他大部分的设计则是改良恒跨导电路,从根本上实现恒跨导^[7]。

早期的研究设计提出的恒跨导改良思路如图 1(b)所示,给出补充的尾电流结构,通过设计开关电路,使得电路工作在不同输入电压下,尾电流也不同,而尾电流的大小决定了公式中跨导的值,以此实现跨导恒定^[8]。该思路广泛应用于如今双差分对恒跨导电路的改良设计上,如采用直流电平移位和两路复用选择器控制技术,实现输入级恒跨导^[9]。再如采用前馈型恒电流控制电路,对不同工作状态时尾电流的大小进行控制^[10]。通过上述电路的改良,往往能够解决不同工作状态下,跨导不恒定的问题,但随之而来地在电路结构设计上往往更加复杂,增大了设计困难。

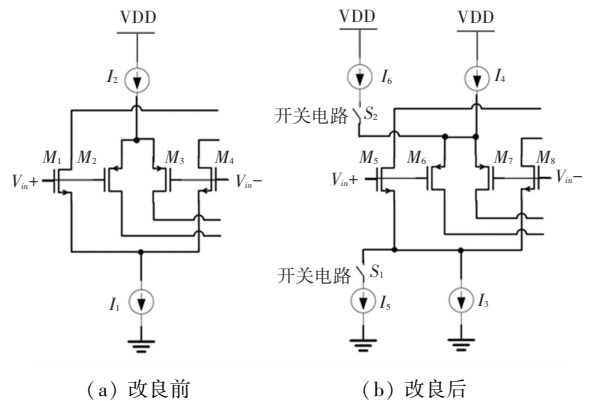


图 1 传统双差分对轨到轨输入级

Fig. 1 Conventional dual difference rail-to-rail input stage

为了实现轨到轨输入,则引入了双差分对管,这导致跨导匹配的困难,当然如果采用单差分对管则不用考虑这些困难,图 2(a)是普通的互补差分输入级,这样一来跨导是容易匹配的。但是同时,普通的单差分对输入级要实现轨到轨输入又成为了一个问题。普遍的解决思路,是引入电荷泵结构,对共模输入进行拓展^[5]。图 2(b)则是一种改良的电荷泵轨到轨输入级,电路中的电压由电源和电荷泵共

同提供。由图 2(b) 可看到, 当电路工作时, 能够使输入 P 对管电压超过电源最高供压, 而超过的这部分则由电荷泵来提供。按照这一思路可以同时设计提供正电压与负电压的电荷泵, 2 个电荷泵分别应对地轨和电源轨的输入, 使其实现轨到轨共模输入电压范围。而电荷泵需要高的带负载能力, 这往往需要设计大的电容, 就又增加了集成的难度。

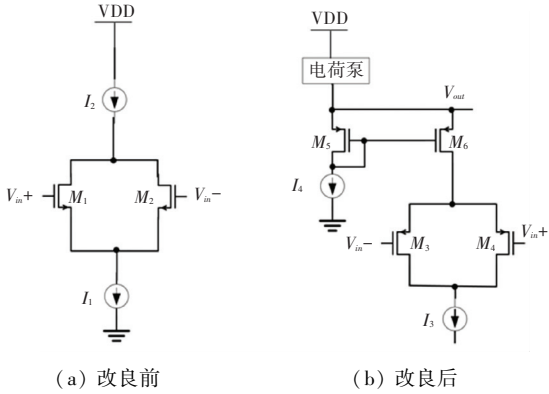


图 2 传统单差分对轨到轨输入级

Fig. 2 Conventional single difference rail-to-rail input stage

1.2 本文设计

本文提出了一种新的轨到轨输入级设计, 不用进行复杂的跨导匹配, 大大简化了电路结构, 采用传统的单差分对管输入级。改变传统的电荷泵设计思路, 转而采用特殊的耗尽型输入器件来实现轨到轨的共模输入范围。输入级整体电路设计如图 3 所示。图 3 中, N_{21} 、 N_{22} 为输入差分对管, 采用共源级输入, N_{21} 、 P_{12} 构成折叠式共源共栅结构, 同样地, N_{22} 、 P_{14} 也采用折叠式共源共栅结构, P_8 、 P_9 、 P_{13} 构成电流镜结构。 N_{11} 与 N_{20} , N_{24} 与 N_{26} , N_{28} 与 N_{50} 分别构成 3 组电流镜。 P_6 、 P_7 管通过偏置电压开启, 分别为下方 2 个电流镜 N_{11} 与 N_{20} 、 N_{24} 与 N_{26} , 提供可供镜像的电流。整个输入级采用折叠式共源共栅结构, 其目的是为了获取较高的电压输出摆幅以及更高的增益, 同时该结构下共模输入电平更易选取^[11]。 N_{28} 、 N_{50} 构成的电流镜结构作为输出的负载, 能够提高输出电阻以及增益。

在本设计中, 共模输入电压范围能够实现地轨至电源轨的满轨的共模输入电压。输入对管栅极的电压, 可以输入超过上下轨部分范围的电压, 依旧正常启动工作, 这使得设计参数时容错率更高。

N_{21} 、 N_{22} 采用的是 N 沟道耗尽型晶体管, 在栅压为 0 V 时其阈值电压大约为 -0.6 V, 为了保证到地轨的共模输入电压范围, N_{11} 、 N_{20} 构成的电流镜至多可以预留出 0.6 V 的电压降。当输入管的栅极电压

逐渐下降时, 输入管源极电压也跟随下降, 但是为了确保电流镜工作在饱和区、为差分对管提供稳定的偏置电流, 其饱和压降分配的电压不能超过预留的 0.6 V, 而实际设计中, 该电流镜 N 管饱和压降, 大概在 0.2 V 左右, 所以输入管源极电压比地轨高出大约 0.2 V。为使输入管耗尽型 NMOS 能够正常开启, $V_{GS} - V_{th} > 0$, 栅极的电压最低能够达到地轨下约 0.4 V。如果栅极电压继续降低, 将会导致输入对管截止或者作为尾电流源的 N_{11} 、 N_{20} 管工作在线性区, 从而不能够提供恒定的偏置电流。

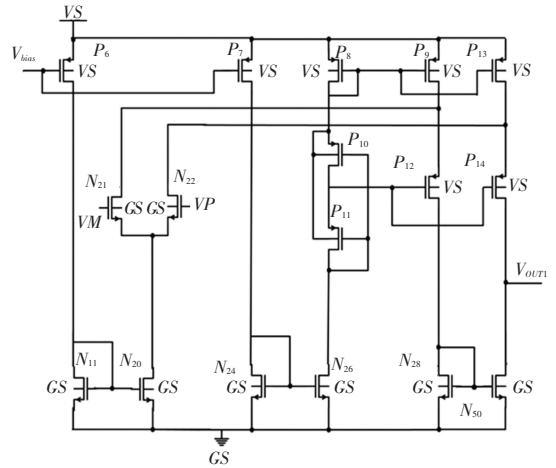


图 3 输入级电路

Fig. 3 Input stage circuit

同时可以使用 N_{21} 、 N_{22} 管的体效应来实现到达电源轨的共模输入电压范围, MOS 管的源极与衬底之间的偏压往往会对 MOS 管的阈值电压产生影响, 其关系满足下式:

$$V_{th} = V_{th0} + \gamma \cdot [\sqrt{|2\phi + V_{SB}|} - \sqrt{|2\phi|}] \quad (4)$$

其中, V_{th0} 表示不考虑体效应时的理想阈值; V_{SB} 为 MOS 管源极与衬底之间的压降; 其他参数为器件本身固定的参数看作常数。通过式 (4) 很容易看出随着 MOS 管源极与衬底之间的压降增大, 实际的阈值电压 v_{th} 也随之变大。随着输入管栅极的共模输入电压由地轨的电压向着电源轨不断增大, 输入管源极的电压也随着非线性地增大, 由于体效应的影响, 实际的输入 NMOS 耗尽型管阈值电压也会慢慢变化, 逐渐由负转正并增大。当栅极电压接近上轨电压时, 输入管的阈值电压大约为 +0.6 V, 在设计中 P_9 、 P_{13} 需要预留大约 0.2 V 的电压来使导管处于饱和状态, 而 N_{21} 、 N_{22} 处于饱和状态, 最少需要的预留电压为 0.1 V。当栅极输入电源电压为 5 V 时, 要保障输入管正常开启, 此时输入管源极电位最高为 4.4 V 左右, 与电源电压差约 0.6 V, 而保障 P_9 、

P_{13} 、 N_{21} 、 N_{22} 处于饱和状态,只要大约 0.3 V 的预留电压,所以 0.6 V 的预留电压完全足够。而栅极电压的继续增大、且当超过 5.3 V 时将会导致 N_{21} 、 N_{22} 处于线性区或者 P_9 、 P_{13} 处于线性区,从而不能提供恒定的偏置电流。

本设计中,输入管的跨导几乎不随输入共模电压而变化,对于单对的耗尽型 NMOS 输入管来说,其跨导满足以下关系:

$$G_m = G_{mn} = \sqrt{\mu_n C_{ox} \frac{W}{L} I_n} \quad (5)$$

其中, I_n 为流经 MOS 的电流,其他为器件参数、在确定工艺后为常数。工作中 MOS 管的跨导仅与流经其内的电流有关,而对于本设计的输入管来说,其尾电流是恒定的,由 N_{11} 、 N_{20} 管组成的电流镜控制,即跨导也是恒定的。以此也可实现恒跨导。

2 轨到轨集成运放电路设计及分析

2.1 偏置电路设计

偏置电路能够为输入级/输出级提供固定的偏置电压,通过实际的输入输出级电路偏置需求设计偏置电路的结构与参数,偏置电压往往做启动管的启动电压,配合启动管产生合适的基准电流,为后级输入级/输出级提供稳定的电压、电流。

本设计中的偏置电路设计如图 4 所示。图 4 中, P_1 、 N_2 构成启动回路, N_1 是 MOS 管做电容连法与电阻 R_1 组成启动隔离。 P_1 、 P_2 管构成电流镜, P_3 、 P_4 、 P_5 管也构成电流镜,电源开启后,启动电路产生固定的电流,经过输出回路 P_5 、 N_8 路镜像到 P_3 支路的电流分流后,流入 P_1 ,产生的恒定电流镜像到 P_2 支路, P_4 管的电流也是恒定的,镜像于 P_5 管,最终流向 R_2 、 N_5 支路的电路也是恒定的。通过改变 R_2 的电阻值能够改变该支路两端的电压差,从而控制 N_4 、 N_6 、 N_9 的栅极电压,可以通过改变 N_9 的栅压来控制 P_5 、 N_8 、 N_9 回路,以此控制输出基准电压。

2.2 输出级电路设计

输出级电路采用浮动 AB 类输出结构,输出级电路设计如图 5 所示。图 5 中, P_{18} 、 N_{51} 、 N_{52} 为启动电路,接入偏置电路的偏置电压后 P_{18} 开启,产生基准电流。 N_{51} 、 N_{53} 和 N_{52} 、 N_{54} 分别构成电流镜结构,为 P_{19} 、 P_{20} 提供基准电流, P_{19} 、 P_{21} 、 P_{25} 构成电流镜结构, P_{19} 将电流镜像给 P_{21} 、 P_{25} 为各自支路提供偏置电流。 N_{52} 、 N_{54} 、 N_{57} 构成电流镜结构,可以把启动电路的基准电流镜像到 N_{57} 管。 N_{51} 、 N_{52} 栅漏短接也可以利用 N_{51} 栅极电压为 N_{55} 、 N_{56} 提供偏置电压,而

P_{19} 、 P_{20} 栅漏短接,利用 P_{20} 的栅极也可以为 P_{23} 提供偏置电压。 P_{22} 、 P_{24} 作为输出级的信号输入管。 P_{23} 、 N_{55} 、 N_{66} 、 P_{26} 、 N_{61} 构成 AB 类偏置电路,为了获得轨到轨输出范围,输出管往往采用共源级连接^[12]。 R_6 、 C_{35} 构成米勒补偿电路。

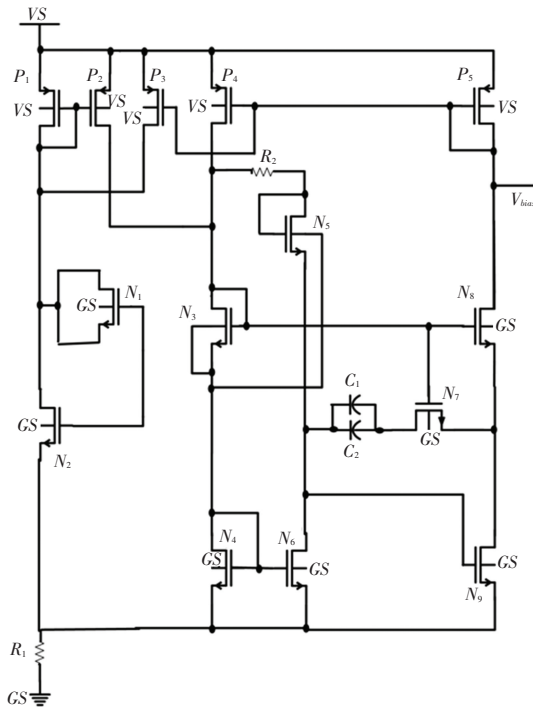


图 4 基准偏置电路

Fig. 4 Reference bias circuit

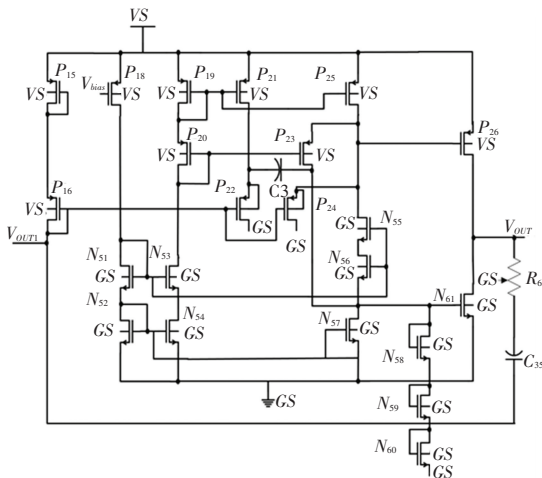


图 5 输出级电路

Fig. 5 Output stage circuit

当输入级输入的电压信号电压开始增大时,经过 P_{24} 管,使得 P_{24} 管源极、 P_{26} 管栅极和 P_{23} 源极电压上升,流经 P_{24} 管电流增大,由于 P_{23} 管栅极电压恒定,所以流经 P_{23} 管的电流也增大,而 P_{22} 、 C_3 的作

用可以过滤掉高频信号的影响。由于 P_{25} 的电流恒定, N_{55} 工作在饱和区、 N_{56} 始终工作在线性区, N_{55} 、 N_{56} 支路的电流必然减小。因此流经 P_{23} 与流经 N_{55} 、 N_{56} 支路的电流总和是减少的, 由于 N_{57} 为恒流源, 所以相应的 $N_{58} \sim N_{60}$ 支路电流增加。 $N_{58} \sim N_{60}$ 栅漏短接, 3 个导管可以类比于大的电阻, 通过调节导管的参数可以调节其电阻值, 当流经该支路的电流增大, N_{61} 的栅极电位也相应升高。所以当输入信号电压升高, P_{26} 、 N_{61} 栅极电压也同时升高。

反之, 当输入信号电压降低时, P_{26} 栅极的电压随之降低, 流经 P_{24} 的电流减少, P_{23} 支路与 N_{55} 、 N_{56} 支路的电流总和增加, 这会导致 $N_{58} \sim N_{60}$ 支路流经电流减少, 因此降低 N_{61} 栅极电压, P_{26} 、 N_{61} 电压同时降低。所以该结构能够使 N_{61} 管与 P_{26} 管压差始终保持在一个恒定值, 不论输入电压如何变化, 输出管 N_{61} 、 P_{26} 压差都保持恒定。

3 仿真验证及优化

3.1 输入对管功能仿真

在上文输入级设计中, 为保证输入共模范围在地轨至电源轨满轨电压范围内变化, 在整体仿真前需要进行相关验证, 以确保后续仿真不出错。该运放设计的工作电压为 5 V, 因此, 整个运放的上轨电压为 5 V, 下轨电压接地为 0 V。按照上文设计的需求, 当输入共模电压为 0 V 时, 此时 N_{21} 、 N_{22} 阈值电压为 -0.6 V, N_{11} 、 N_{20} 构成的电流镜工作时的漏源电压差大概 0.2 V 左右, 即比地轨高出 0.2 V。实测中, 在 N_{21} 端加 0 V 的电压, 测量输入对管 N_{21} 、 N_{22} 的源极瞬态电压值。测量结果如图 6 所示。由图 6 可知, 结果符合预期。

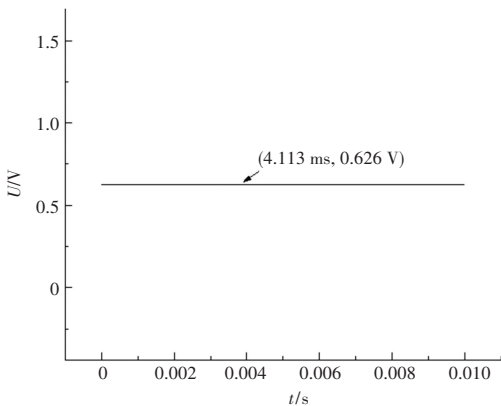


图 6 0 V 共模输入时对管源极电位

Fig. 6 At 0 V common-mode input, the potential of the tube source

当输入共模电压为电源轨电压 5 V 时, 此时 N_{21} 、 N_{22} 阈值电压为 0.6 V, 由于分配给 P_9 、 P_{13} 源漏电压为 0.2 V, N_{21} 、 N_{22} 漏源电压为 0.1 V, 所以测量 N_{21} 源极的电位应该在 4.4 V 左右。实测中, 在 N_{21} 端加 5 V 的电压, 测量输入对管 N_{21} 、 N_{22} 的源极瞬态电压值。测量结果如图 7 所示。由图 7 可知, 结果符合预期。

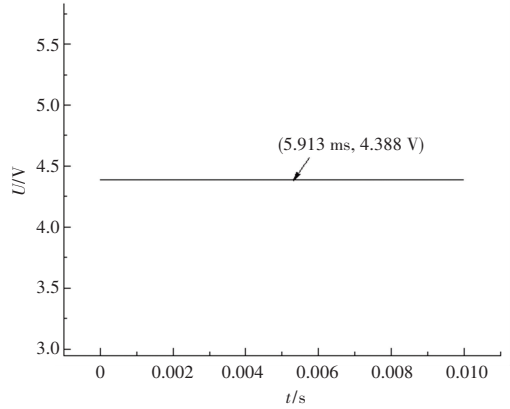


图 7 5 V 共模输入时对管源极电位

Fig. 7 At 5 V common-mode input, the potential of the tube source

3.2 共模输入电压范围仿真分析

将运放连接成跟随器形式, 通过改变输入电压, 测量跟随器的输出端电压变化, 其中输出电压斜率为 1 的部分为共模输入电压范围。在 5 V 电压下, 输入电压由 -0.4 至 5.3 V 进行扫描, 输入共模电压范围为 0~5 V, 实现满轨的输入, 如图 8 所示。在图 8 中, 超出上下轨范围的输入电压由于电源轨和地轨本身限制, 值局限于上下轨电压, 共模输入电压最低为 0 V、最高为 5 V。

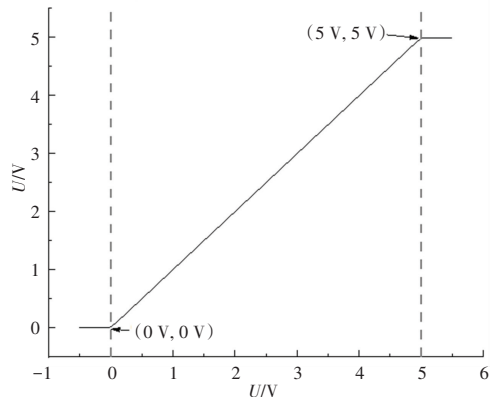


图 8 共模输入电压范围

Fig. 8 Common mode input voltage range

3.3 整体电路其他重要指标仿真分析

基于 CMOS 工艺,实现了整体轨到轨运算放大器的设计,并且采用 Cadence Spectre 软件进行了仿真。整体电路为单电源供电,在电源电压为 5 V、共模电平为 2.5 V 的条件下,得到仿真结果。

图 9 为运放工作在 5 V 电源电压下,输入正弦波信号,正弦信号峰值谷值、在保证运放正常工作条件下,超过上下轨电压部分范围,由于电源电压限制,将输出截止失真的正弦信号,这便于观察最大输出电压摆幅,截止部分即为输出摆幅上下限。从图 9 中可以看出,输出电压摆幅为 $4\ \mu\text{V} \sim 4.988\ \text{V}$,验证了轨到轨的输出,近乎满轨。

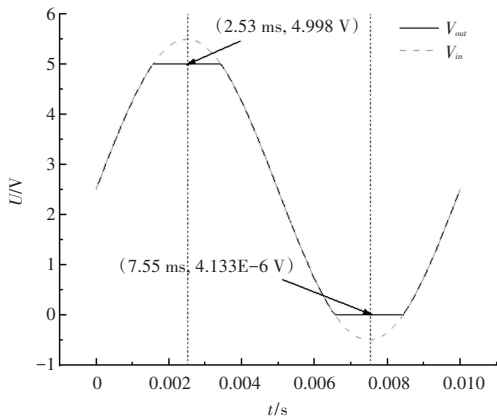


图 9 输出摆幅仿真

Fig. 9 Output swing simulation

图 10 为运放的幅频、相频特性仿真结果。从图 10 的幅频特性曲线中可以看出,其增益为 141.1 dB,带宽为 1.65 MHz。根据图 10 中的相频特性曲线可以看出,其相位裕度为 55.4° 。

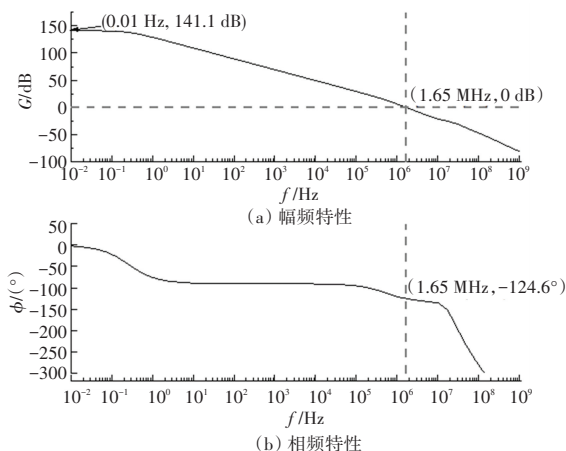


图 10 增益、带宽及相位裕度仿真

Fig. 10 Gain, bandwidth and phase margin simulation

图 11 为运放失调电压、输入失调电流、输入偏置电流的仿真结果。由仿真结果可知,常温下,输入失调电压为 2.64 mV,输入失调电流为 0.001 pA,输入偏置电流为 9.26 pA,该设计运放的输入失调电流和输入偏置电流都极低,符合设计的预期。

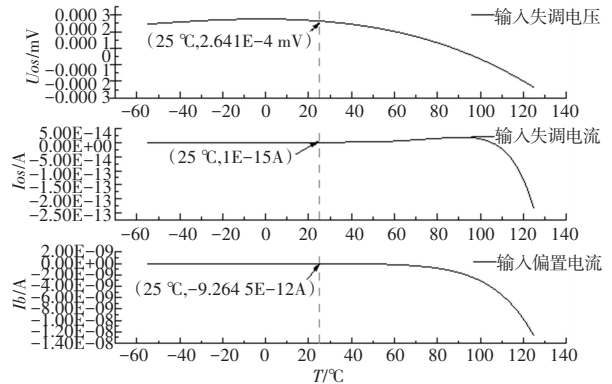


图 11 输入的失调电压、失调电流及偏置电流仿真

Fig. 11 Input offset voltage, offset current and bias current simulation

图 12 为运放的转换速率仿真,输入方波信号,在上升沿时观察输出信号电压由 0 V 跳变到 5 V 的时间,以此测出电压的转换速率,经计算为 $1.7\ \text{V}/\mu\text{s}$ 。

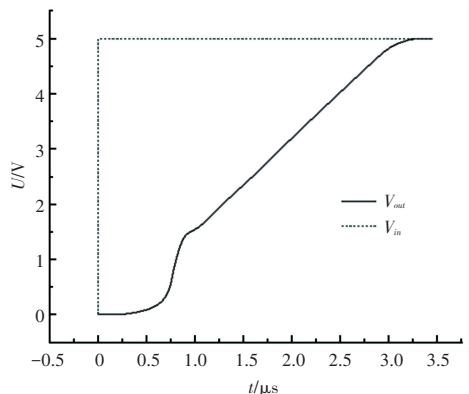


图 12 转换速率仿真曲线

Fig. 12 Conversion rate simulation curve

表 1 为本设计与工作电压相近的轨到轨 CMOS 运放进行的相关仿真参数对比。表 1 中对比的设计都是近些年的轨到轨输入输出设计,从数据对比可以看出,本设计在实现轨到轨输入输出时具有极大的优势,同时具有较大的增益。另外,也基本实现了低的输入失调电压和低的输入偏置电流,与设计^[13]低失调的轨到轨输入/输出 CMOS 运放设计的表中参数相当。总之,该运放在轨到轨输入输出层面上,能够实现满轨输入,同时具有较大的输出摆幅。相对于同类设计,本设计运放具有非常大的增益,同时基本具有低失调的特性。

表 1 参数对比

Tab. 1 Comparison of parameters

设计	工作电压/ V	输入共模 范围/V	输出摆幅/ V	开环增益/ dB	单位增益 带宽/MHz	相位裕度/ (°)	输入失调 电压/ μV	输入偏置电流/ pA	转换速率/ ($\text{V} \cdot \mu\text{s}^{-1}$)
2019 ^[13]	5.0	0~5.0	109 m-4.71	118.0	10.00	63.0	100	2.00	6.0
2020 ^[14]	3.3	0~3.3	6.8 m-3.25	94.8	6.60	60.8			9.3
本文	5.0	0~5.0	4 μ -4.998	141.1	1.65	55.4	264	9.26	1.7

4 结束语

本文设计了一种新型的单差分对输入级轨到轨运算放大器,采用耗尽型 NMOS 管作为输入级,并利用输入管的体效应,最终实现了地轨至电源轨 0~5 V 范围的轨到轨共模输入。通过对输入对管源极电位的仿真,验证了差分对管的阈值优化结果符合预期。将输入级运用到整体电路中,整体仿真结果符合预期,该设计具有较大的输出电压摆幅、较大的增益,同时基本实现了低的输入失调电压与低的输入偏置电流。

参考文献

[1] 李有慧. 一种输入输出轨到轨 CMOS 运算放大器的设计[J]. 电子科技, 2015, 28(06): 165-169.
 [2] LIU Yan, ZHAO Yiqiang, ZHANG Shilin, et al. A low power and low distortion rail-to-rail input/output amplifier using constant current technique[J]. Journal of Semiconductors, 2011, 32(04): 109-112.
 [3] 龚正辉, 常昌远. 一种低压、恒增益 Rail-to-rail 运算放大器的设计[J]. 电子与封装, 2007(10): 37-39+43.

[4] 谢海情, 陈玉辉, 王振宇. 一种低压低功耗恒跨导轨到轨运算放大器设计[J]. 电子元件与材料, 2020, 39(10): 65-69.
 [5] 白杨, 张万荣, 陈昌麟, 等. 基于常数跨导轨到轨运算放大器的新型电荷泵[J]. 微电子学, 2015, 45(01): 41-45.
 [6] 陈宏, 曾龄宇, 胡乔, 等. 一种用于轨到轨运算放大器的新型频率补偿结构[J]. 微电子学, 2011, 41(01): 15-18.
 [7] 赵毅, 梁蓓. 高增益低功耗恒跨导轨到轨 CMOS 运放设计[J]. 电子设计工程, 2013, 21(08): 122-125.
 [8] 杨依忠. 一种低功耗恒跨导 CMOS 运算放大器的设计[J]. 合肥工业大学学报(自然科学版), 2010, 33(10): 1576-1578.
 [9] 唐俊龙, 黄思齐, 罗磊, 等. 一种恒跨导高增益轨到轨运算放大器[J]. 微电子学, 2018, 48(04): 458-462.
 [10] 张为, 彭彦豪, 齐步坤, 等. 前馈型轨到轨恒跨导恒增益 CMOS 运算放大器[J]. 华中科技大学学报(自然科学版), 2011, 39(01): 19-23.
 [11] 刘华珠, 黄海云, 宋瑞. 低功耗轨至轨 CMOS 运算放大器设计[J]. 半导体技术, 2011, 36(06): 463-465+482.
 [12] 邢利东, 蔡敏. 一个低噪声轨到轨输入输出范围的运算放大器[J]. 半导体技术, 2006(11): 859-861, 870.
 [13] 黄光锐. 一种低失调的轨到轨输入/输出 CMOS 运算放大器的研究与设计[D]. 成都: 电子科技大学, 2019.
 [14] 秦梦莹. 一款低电压低功耗轨到轨运算放大器的研究[D]. 哈尔滨: 哈尔滨理工大学, 2020.

(上接第 166 页)

[2] 刘新雨, 吴学勤, 王畅, 等. 自适应巡航控制对驾驶安全性的影响研究[J]. 中国安全科学学报, 2017, 27(04): 53-59.
 [3] 秦晓辉, 梁伯元. 协同式自适应巡航技术发展现状及趋势[J]. 现代电信科技, 2014, 44(03): 1-7.
 [4] 张亮修, 吴光强, 郭晓晓. 车辆自适应巡航控制系统的建模与分层控制[J]. 汽车工程, 2018, 40(05): 50-56.
 [5] 刘西, 明朗, 胡志远. 基于 MPC 算法的车辆自适应巡航系统分层控制研究[J]. 重庆理工大学学报(自然科学), 2021, 35(03): 53-60.
 [6] 钟豪, 贾瑞雪. 基于模型预测控制的车辆纵向跟车模型分析[J]. 汽车工程师, 2020(05): 14-16, 39.
 [7] CABANES I, ZUBIZARRETA A, PINTO C, et al. Linear time varying model based model predictive control for lateral path

tracking[J]. International Journal of Vehicle Design, 2017, 75(1): 1-22.
 [8] 陈奕峰. 基于 MPC 的自主车辆协同控制研究[D]. 广州: 华南理工大学, 2018.
 [9] 龚建伟. 无人驾驶车辆模型预测控制[M]. 北京: 北京理工大学出版社, 2014.
 [10] 胡远志, 丁晓木, 刘西, 等. 全速域自适应巡航控制方法研究[J]. 汽车安全与节能学报, 2019, 10(03): 357-365.
 [11] 许月亭, 陈虹, 季冬冬, 等. 车辆起步 MPC 控制器设计及 FPGA 实现[J]. 控制工程, 2015, 22(05): 12-20.
 [12] CHOI W, AHN C, SON C W. MPC-based steering control for backward-driving vehicle using stereo vision[J]. International Journal of Automotive Technology, 2017, 18(5): 933-942.